

Docket # 3905
09/519.408

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09232633 A

(43) Date of publication of application: 05.09.97

(51) Int. Cl. H01L 33/00
H01L 21/203
H01L 21/28
H01L 21/363
H01S 3/18
// H01L 21/205

(21) Application number: 08039445

(22) Date of filing: 27.02.96

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: YOKOGAWA TOSHIYA
YOSHII SHIGEO

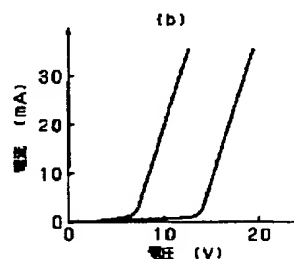
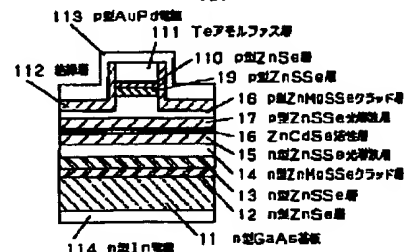
(54) MANUFACTURE OF SEMICONDUCTOR
STRUCTURE AND SEMICONDUCTOR DEVICE

COPYRIGHT: (C)1997,JPO (B)

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a P-type ohmic electrode structure of low contact resistance for a II-VI semiconductor laser or the like.

SOLUTION: A blue semiconductor laser is formed of ZnSe II-VI semiconductor. A Cl-doped N-type ZnSe layer 12, a Cl-doped N-type ZnSSe clad layer 13, a Cl-doped N-type MgSSe clad layer 14, a Cl-doped N-type ZnSSe optical waveguide layer 15, an ZnCdSe active layer 16, an N-doped P-type ZnSSe optical guide layer 17, an N-doped P-type ZnMgSSe clad layer 18, an N-doped P-type ZnSSe layer 19, an N-doped P-type ZnSe layer 110, an amorphous Te layer 111, and an insulating layer 112 are formed on an Si-doped N-type GaAs substrate 11 for the formation of a P-type ohmic electrode structure of low contact resistance. The P-type ohmic electrode structure of this constitution can be lessened in contact resistance by the use of the amorphous Te layer 111 as a contact layer.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-232633

(43)公開日 平成9年(1997)9月5日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	FI	技術表示箇所
H01L 33/00			H01L 33/00	D
21/203			21/203	M
21/28	301		21/28	301Z
21/363			21/363	
H01S 3/18			H01S 3/18	

審査請求 未請求 請求項の数10 OL (全 12 頁) 最終頁に続く

(21)出願番号 特願平8-39445

(22)出願日 平成8年(1996)2月27日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 横川 俊哉

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 吉井 重雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

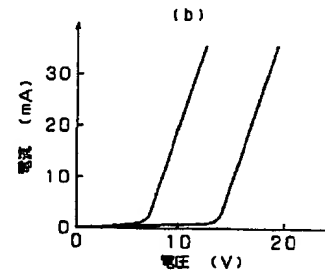
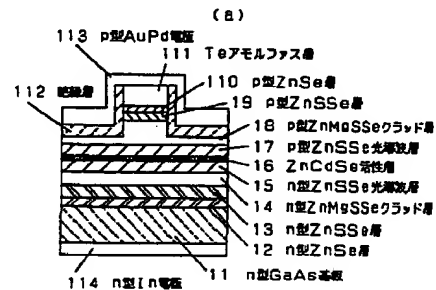
(74)代理人 弁理士 滝本 智之 (外1名)

(54)【発明の名称】 半導体構造体および半導体装置の製造方法

(57)【要約】

【課題】 II-VI族半導体レーザ等の低コンタクト抵抗のp型オーム性電極構造体を提供する。

【解決手段】 ZnSe系II-VI族半導体を用いた青色半導体レーザである。Siをドーピングしたn型GaAs基板11上に、Clをドーピングしたn型ZnSe層12、Clをドーピングしたn型ZnSSeクラッド層13、Clをドーピングしたn型ZnMgSSeクラッド層14、Clをドーピングしたn型ZnSSe光導波層15、ZnCdSe活性層16、Nをドーピングしたp型ZnSSe光導波層17、Nをドーピングしたp型ZnMgSSeクラッド層18、Nをドーピングしたp型ZnSSe層19、Nをドーピングしたp型ZnSe層110、アモルファスTe層111、絶縁層112である。Teアモルファス層111をコンタクト層に用いることにより、低いコンタクト抵抗が得られる。



【特許請求の範囲】

【請求項1】基板上に形成した半導体多層膜と、前記多層膜上に形成したアモルファス半導体層と、前記アモルファス半導体層上に形成した金属電極とを備えたことを特徴とする半導体構造体。

【請求項2】基板上に形成した半導体多層膜と、前記多層膜上に形成したS、Se、Te、AsS、AsSe、AsTe、As、Sb、Si、Ge、SiGeまたはSiCアモルファス層と、前記アモルファス層上に形成した金属電極とを備えたことを特徴とする半導体構造体。

【請求項3】基板上に形成した半導体多層膜と、前記多層膜上に形成した水素不純物を添加したアモルファス半導体層と、前記アモルファス半導体層上に形成した金属電極とを備えたことを特徴とする半導体構造体。

【請求項4】基板上に形成した半導体多層膜と、前記多層膜上に形成した銀不純物を添加したアモルファス半導体層と、前記アモルファス半導体層上に形成した金属電極とを備えたことを特徴とする半導体構造体。

【請求項5】半導体多層膜が、II-VI族化合物半導体であることを特徴とする請求項1～4のいずれかに記載の半導体構造体。

【請求項6】真空中にて基板上に、半導体エピタキシャル層を成長する工程と、真空中にて前記半導体エピタキシャル層を冷却する工程と、真空中にて前記半導体エピタキシャル層上にアモルファス半導体層を形成する工程と、真空中にて前記アモルファス半導体層上に電極用金属を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】真空中にて基板上に、半導体エピタキシャル層を成長する工程と、真空中にて前記半導体エピタキシャル層を冷却する工程と、真空中にて前記半導体エピタキシャル層上に電極用金属を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項8】真空中にて基板上に、半導体エピタキシャル層を成長する工程と、真空中にて成長温度付近の基板温度で前記半導体エピタキシャル層上に電極用金属を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】半導体エピタキシャル層がII-VI族化合物半導体であることを特徴とする請求項6、7または8に記載の半導体装置の製造方法。

【請求項10】基板上にII-VI族半導体エピタキシャル層を成長する工程と、前記II-VI族半導体エピタキシャル層上に電極用金属を形成する工程と、前記金属表面に加速イオンを照射する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は光ディスクなどに用いられる半導体発光素子等の半導体装置に関するもので

ある。

【0002】

【従来の技術】ZnSe系II-VI族化合物半導体は直接遷移型で広いバンドギャップをもつことから、近年、これを用いた青色半導体レーザの開発が活発に行われている。

【0003】従来例として、ZnSe系II-VI族半導体を用いた青色半導体レーザの構造を図11に示す。111はSiをドーブしたn型GaAs基板、112はClをドーブしたn型ZnSe層、113はClをドーブしたn型ZnSSeクラッド層、114はClをドーブしたn型ZnMgSSeクラッド層、115はClをドーブしたn型ZnSSe光導波層、116はZnCdSe活性層、117はNをドーブしたp型ZnSSe光導波層、118はNをドーブしたp型ZnMgSSeクラッド層、119はNをドーブしたp型ZnSe層、1110はNをドーブしたp型ZnSe層、1111はp型ZnSe/ZnTe多重量子井戸層、1112はNをドーブしたp型ZnTeコンタクト層、1113は絶縁層、1114はp型AuPd電極、1115はn型In電極である。

【0004】

【発明が解決しようとする課題】本発明が解決しようとする課題を以下に述べる。

【0005】(1) p型ZnSeまたはp型ZnSSe上に金属を直接形成してp型電極を得る場合、最も仕事関数の大きな金属である金や白金などを用いても、ショットキー障壁が生じオーム性接触が得られない。そのためレーザ素子の駆動電圧の増加が生じる。

【0006】(2) 従来のようにp型ZnTeコンタクト層を用いる場合、p型ZnTeに対しては金を用いればオーム性接触が容易に得られるが、ZnTeとその下の層であるZnSeとは格子定数の不整合率が7%と大きいのでZnTe層中にミスフィット転位が発生し、これがレーザの劣化を生じさせる。

【0007】(3) 結晶成長後II-VI族半導体を空气中に放置すると急速に酸化が進み、ZnOやSeOが最表面に形成される。特にこのZnOは材料的に非常に安定であるため金属-II-VI族半導体間に存在すると大きな障壁となりオーム性接触を得ることは困難となる。

【0008】(4) ZnSe系II-VI族化合物半導体の結晶成長温度は一般に200から300℃と極めて低いため電極形成のための熱処理温度をそれ以下に設定しなければならない。金属が表面酸化層を拡散しII-VI族半導体と反応層を形成できるような充分高い温度で熱処理を行うことができない。

【0009】そこで本発明は、II-VI族半導体レーザ等の低コンタクト抵抗のp型オーム性電極構造体を提供するものである。

【0010】

【課題を解決するための手段】課題を解決するための手段は次の通りである。

【0011】(1) II-VI族半導体エピタキシャル層上

にアモルファス半導体を形成した後、そのアモルファス半導体上に金属を形成した電極構造にすることである。

【0012】(2) II-VI族半導体エピタキシャル層上にS、Se、Te、AsS、AsSe、AsTe、As、Sb、Si、Ge、SiGeまたはSiC層を形成した後、その層上に金属を形成した電極構造にすることである。

【0013】(3) II-VI族半導体エピタキシャル層上に水素不純物を添加したアモルファス半導体層を形成した後、そのアモルファス半導体層上に金属を形成した電極構造にすることである。

【0014】(4) II-VI族半導体エピタキシャル層上に銀不純物を添加したアモルファス半導体層を形成した後、そのアモルファス半導体層上に金属を形成した電極構造にすることである。

【0015】(5) 真空中にて半導体基板上にII-VI族半導体エピタキシャル層を成長した後、引き続き真空中にて半導体基板及びII-VI族半導体エピタキシャル層を冷却し、さらに引き続き真空中にてII-VI族半導体エピタキシャル層上にSiCなどのアモルファス半導体を形成し、その後アモルファス半導体層上に電極用金属を形成することである。

【0016】(6) 真空中にて半導体基板上にII-VI族半導体エピタキシャル層を成長した後、引き続き真空中にて成長温度付近の基板温度でII-VI族半導体エピタキシャル層上に電極用金属を形成することである。

【0017】(7) 真空中にて半導体基板上にII-VI族半導体エピタキシャル層を成長した後、引き続き真空中にて半導体基板及びII-VI族半導体エピタキシャル層を冷却し、さらに引き続き真空中にてII-VI族半導体エピタキシャル層上に電極用金属を形成することである。

【0018】(8) 半導体基板上にII-VI族半導体エピタキシャル層を成長した後、そのII-VI族半導体エピタキシャル層上に電極用金属を形成し、さらにその金属表面に加速イオンを照射することである。

【0019】

【発明の実施の形態】以下、本発明の実施の形態について図1から図10を用いて説明する。

【0020】(実施の形態1) 図1はZnSe系II-VI族半導体を用いた青色半導体レーザの構造断面図を示す。11はSiをドープしたn型GaAs基板、12はClをドープしたn型ZnSe層、13はClをドープしたn型ZnSSeクラッド層、14はClをドープしたn型ZnMgSSeクラッド層、15はClをドープしたn型ZnSSe光導波層、16はZnCdSe活性層、17はNをドープしたp型ZnSSe光導波層、18はNをドープしたp型ZnMgSSeクラッド層、19はNをドープしたp型ZnSSe層、110はNをドープしたp型ZnSe層、111はアモルファスTe層、112は絶縁層、113はp型AuPd電極、114はn型In電極である。本実施の形態のように、Teアモルファス層111をコンタクト層に用いることにより、低いコンタクト抵抗が得られた。

【0021】その結果である作製したレーザの電流-電圧特性を図1(b)に示す。図に示すように従来に比べレーザの立ち上がり電圧は減少し、レーザの駆動電圧の低減化がはかれた。その結果長寿命化が実現できた。

【0022】従来のようにp型ZnTeなどのエピタキシャル層でコンタクト層を形成する場合も、p型ZnTeに対しては金を用いれば上述の実施の形態と同様にオーム性接触が容易に得られる。しかしZnTeがエピタキシャル結晶であるがためにZnTeとその下の層であるZnSeとの格子定数の不整合率が大きな問題となり、これによりZnTe層中にミスフィット転位が発生し、レーザの劣化を生じさせる。

【0023】一方アモルファス層をエピタキシャル層上に形成する場合は、アモルファス層がもともと規則的な原子配列をとっていないため格子整合率を考慮する必要がない。従って格子不整に起因した転位の発生、伝搬もなく高品質のアモルファス層が形成できる。その結果レーザの寿命も向上できる。またAuなどの金属を用いればTeアモルファス層111に対してオーム性接触が容易に得られることは言うまでもない。

【0024】次に、図2は作製の工程の一例を示す。本実施の形態ではZnSe系II-VI族半導体の成長方法として、分子線エピタキシー法を用いた。まずGaAs基板11上にClをドープしたn型ZnSe層12、Clをドープしたn型ZnSSeクラッド層13、Clをドープしたn型ZnMgSSeクラッド層14、Clをドープしたn型ZnSSe光導波層15、ZnCdSe活性層16、Nをドープしたp型ZnSSe光導波層17、Nをドープしたp型ZnMgSSeクラッド層18、Nをドープしたp型ZnSSe層19、Nをドープしたp型ZnSe層110と順次エピタキシャル成長する。次に、Nをドープしたp型ZnSe層110上に蒸着法を用いてTeアモルファス層111を形成する。次にフォトリソグラフ法によってストライプ状のレジストパターンを成長層上に形成し、それをマスクとして用いて成長層をストライプ状にエッチングする。

【0025】レジストマスク下以外の領域のNをドープしたp型ZnMgSSeクラッド層18、Nをドープしたp型ZnSSe層19、Nをドープしたp型ZnSe層110、Teアモルファス111をエッチング除去した。その後、絶縁層112を全面蒸着した後リフトオフを行い、エッチングされた領域に電流狭窄層として絶縁層112が埋め込まれた構造を形成する。そしてさらにウエハ全面に蒸着法を用いてp型AuPd電極113を形成する。

【0026】尚、以上の説明では、コンタクト層をTeアモルファス層111で構成した例で説明したが、その他のS、Se、Te、AsS、AsSe、AsTe、As、Sb、Si、Ge、SiGeまたはSiC層についても同様に実施可能である。

【0027】(実施の形態2) 図3は、ZnSe系II-VI族半導体を用いた青色半導体レーザの構造断面図を示す。31はSiをドープしたn型GaAs基板、32はClをドープ

したn型ZnSe層、33はClをドーブしたn型ZnSSeクラッド層、34はClをドーブしたn型ZnMgSSeクラッド層、35はClをドーブしたn型ZnSSe光導波層、36はZnCdSe活性層、37はNをドーブしたp型ZnSSe光導波層、38はNをドーブしたp型ZnMgSSeクラッド層、39はNをドーブしたp型ZnSSe層、310はNをドーブしたp型ZnSe層、311は水素不純物を添加したアモルファスSiC層、312は絶縁層、313はp型AuPd電極、314はn型In電極である。

【0028】本実施の形態のように、水素不純物を添加したSiCアモルファス層311をコンタクト層に用いることにより、低いコンタクト抵抗が得られた。その結果である作製したレーザの電流-電圧特性を図3(b)に示す。図に示すように従来に比べレーザの立ち上がり電圧は減少し、レーザの駆動電圧の低減化がはかれた。その結果長寿命化が実現できた。

【0029】本実施の形態のようにSiCアモルファス層311に水素不純物を添加することによりSiCアモルファス層311のバンドギャップ内の局在単位密度を低減または制御できる。II-VI族半導体とSiCアモルファス層311との界面におけるキャリア輸送はこの局在単位密度と強く関係しており、この水素不純物の添加量を制御することによりII-VI族半導体に対するコンタクト層としての特性を容易に制御することができる。

【0030】SiCアモルファス層311をエビタキシャル層上に形成する場合も同様に格子整合率を考慮する必要がない。従って格子不整に起因した転位の発生、伝搬もなく高品質のアモルファス層が形成できる。その結果レーザの寿命も向上できる。またAuなどの金属を用いればSiCアモルファス層311に対してオーム性接触が容易に得られることは言うまでもない。

【0031】次に、図4は作製の工程の一例を示す。本実施の形態ではZnSe系II-VI族半導体の成長方法として、分子線エビタキシー法を用いた。まずGaAs基板31上にClをドーブしたn型ZnSe層32、Clをドーブしたn型ZnSSeクラッド層33、Clをドーブしたn型ZnMgSSeクラッド層34、Clをドーブしたn型ZnSSe光導波層35、ZnCdSe活性層36、Nをドーブしたp型ZnSSe光導波層37、Nをドーブしたp型ZnMgSSeクラッド層38、Nをドーブしたp型ZnSSe層39、Nをドーブしたp型ZnSe層310と順次エビタキシャル成長する。次に、Nをドーブしたp型ZnSe層310上にECRプラズマCVDを用いて水素不純物を添加したSiCアモルファス層311を形成する。

【0032】次にフォトリソグラフ法によってストライプ状のレジストパターンを成長層上に形成し、それをマスクとして用いて成長層をストライプ状にエッチングする。レジストマスク下以外の領域のNをドーブしたp型ZnMgSSeクラッド層38、Nをドーブしたp型ZnSSe層39、Nをドーブしたp型ZnSe層310、水素不純物を添加したアモルファスSiC層311をエッチング除去した。その

後、絶縁層312を全面蒸着した後リフトオフを行い、エッチングされた領域に電流狭窄層として絶縁層312が埋め込まれた構造を形成する。そしてウエハ全面に蒸着法を用いてp型AuPd電極310を形成する。

【0033】尚、以上の説明では、コンタクト層をSiCアモルファス層311で構成した例で説明したが、その他のS、Se、Te、AsS、AsSe、AsTe、As、Sb、Si、Ge、SiGeまたはSiC層についても同様に実施可能である。

【0034】(実施の形態3)図5は、ZnSe系II-VI族半導体を用いた青色半導体レーザの構造断面図を示す。51はSiをドーブしたn型GaAs基板、52はClをドーブしたn型ZnSe層、53はClをドーブしたn型ZnSSeクラッド層、54はClをドーブしたn型ZnMgSSeクラッド層、55はClをドーブしたn型ZnSSe光導波層、56はZnCdSe活性層、57はNをドーブしたp型ZnSSe光導波層、58はNをドーブしたp型ZnMgSSeクラッド層、59はNをドーブしたp型ZnSSe層、510はNをドーブしたp型ZnSe層、511は銀不純物を添加したアモルファスAsSe層、512は絶縁層、513はp型AuPd電極、514はn型In電極である。

【0035】本実施の形態のように、銀不純物を添加したアモルファスAsSe層511をコンタクト層に用いることにより、低いコンタクト抵抗が得られた。その結果である作製したレーザの電流-電圧特性を図5(b)に示す。図に示すように従来に比べレーザの立ち上がり電圧は減少し、レーザの駆動電圧の低減化がはかれた。その結果長寿命化が実現できた。

【0036】本実施の形態のように、アモルファスAsSe層511に銀不純物を添加すると銀不純物がII-VI族半導体とアモルファスAsSe層511との界面に熱処理または光照射などにより異常拡散する。銀不純物はII-VI族半導体中においてはアクセプタとして働き、界面に多く存在させることにより電圧障壁の厚みを薄くすることが可能となり、トンネル電流を増やし、コンタクト抵抗を減少させることができる。

【0037】AsSeアモルファス層511をエビタキシャル層上に形成する場合も同様に格子整合率を考慮する必要がない。従って格子不整に起因した転位の発生、伝搬もなく高品質のアモルファス層が形成できる。その結果レーザの寿命も向上できる。またAuなどの金属を用いればAsSeアモルファス層511に対してオーム性接触が容易に得られることは言うまでもない。

【0038】次に、図6は作製の工程の一例を示す。本実施の形態ではZnSe系II-VI族半導体の成長方法として、分子線エビタキシー法を用いた。まずGaAs基板51上にClをドーブしたn型ZnSe層52、Clをドーブしたn型ZnSSeクラッド層53、Clをドーブしたn型ZnMgSSeクラッド層54、Clをドーブしたn型ZnSSe光導波層55、ZnCdSe活性層56、Nをドーブしたp型ZnSSe光導波層57、Nをドーブしたp型ZnMgSSeクラッド層58、Nをドー

ブしたp型ZnSSe層59、Nをドーブしたp型ZnSe層510と順次エピタキシャル成長する。次に、分子線エピタキシー装置のチャンパー内で基板を冷却する。そして引き続き同一チャンパー内にてNをドーブしたp型ZnSe層510上に銀不純物を添加したアモルファスAsSe層511を形成する。

【0039】次にフォトリソグラフ法によってストライプ状のレジストパターンを成長層上に形成し、それをマスクとして用いて成長層をストライプ状にエッチングする。レジストマスク下以外の領域のNをドーブしたp型ZnMgSSeクラッド層58、Nをドーブしたp型ZnSSe層59、Nをドーブしたp型ZnSe層510、銀不純物を添加したアモルファスAsSe層511をエッチング除去した。その後、絶縁層512を全面蒸着した後リフトオフを行い、エッチングされた領域に電流狭窄層として絶縁層512が埋め込まれた構造を形成する。そしてウエハ全面に蒸着法を用いてp型AuPd電極510を形成する。

【0040】尚、以上の説明では、コンタクト層をAsTeアモルファス層511で構成した例で説明したが、その他のS、Se、Te、AsS、AsSe、AsTe、As、Sb、Si、Ge、SiGeまたはSiC層についても同様に実施可能である。

【0041】(実施の形態4)次に、図7は作製の工程の一例を示す。本実施の形態ではZnSe系II-VI族半導体の成長方法として、分子線エピタキシー法を用いた。まずGaAs基板71上にClをドーブしたn型ZnSe層72、Clをドーブしたn型ZnSSeクラッド層73、Clをドーブしたn型ZnMgSSeクラッド層74、Clをドーブしたn型ZnSSe光導波層75、ZnCdSe活性層76、Nをドーブしたp型ZnSSe光導波層77、Nをドーブしたp型ZnMgSSeクラッド層78、Nをドーブしたp型ZnSSe層79、Nをドーブしたp型ZnSe層710と順次エピタキシャル成長する。

【0042】次に、分子線エピタキシー装置のチャンパー内で基板を冷却する。そして引き続き同一チャンパー内にてNをドーブしたp型ZnSe層710上にTeアモルファス層711を室温において形成する。次に真空のチャンパーより大気中に取り出す。そして、フォトリソグラフ法によってストライプ状のレジストパターンを成長層上に形成し、それをマスクとして用いて成長層をストライプ状にエッチングする。レジストマスク下以外の領域のNをドーブしたp型ZnMgSSeクラッド層78、Nをドーブしたp型ZnSSe層79、Nをドーブしたp型ZnSe層710、Teアモルファス層711をエッチング除去した。その後、絶縁層712を全面蒸着した後リフトオフを行い、エッチングされた領域に電流狭窄層として絶縁層712が埋め込まれた構造を形成する。その後さらにウエハ全面に蒸着法を用いてp型AuPd電極713を形成する。

【0043】結晶成長後II-VI族半導体を空気中に放置すると急速に酸化が進み、ZnOやSeOが最表面に形成される。特にこのZnOは材料的に非常に安定であるためエッチングなどにより完全に除去することは難しく、金属-I

I-VI族半導体間に存在すると大きな電圧障壁を形成するためオーム性接触を得ることは困難となる。しかし、本実施の形態によれば、結晶成長後II-VI族半導体を空気中に放置することなしに同一真空チャンパー中でその上にTeアモルファス層711を形成するため、Teアモルファス層711とII-VI族半導体との間に酸化膜が介在することがない。したがって酸化膜による電圧障壁を取り除くことができ良好なコンタクト特性を得ることが可能となる。

【0044】尚、本実施の形態においては同一チャンパー内で引き続きTeアモルファス層711の形成を行っているが、空気中に放置することなしに引き続きTeアモルファス層711の形成を行えば同様の効果は得られ、例えばII-VI族半導体の成長室とは別の蒸着室を設けて真空中でII-VI族半導体をそのチャンパーに移動してTeアモルファス層711を形成してもよい。

【0045】尚、以上の説明では、コンタクト層をTeアモルファス層711で構成した例で説明したが、その他のS、Se、Te、AsS、AsSe、AsTe、As、Sb、Si、Ge、SiGeまたはSiC層についても同様に実施可能である。

【0046】(実施の形態5)次に、図8は作製の工程の一例を示す。本実施の形態ではZnSe系II-VI族半導体の成長方法として、分子線エピタキシー法を用いた。まずGaAs基板81上にClをドーブしたn型ZnSe層82、Clをドーブしたn型ZnSSeクラッド層83、Clをドーブしたn型ZnMgSSeクラッド層84、Clをドーブしたn型ZnSSe光導波層85、ZnCdSe活性層86、Nをドーブしたp型ZnSSe光導波層87、Nをドーブしたp型ZnMgSSeクラッド層88、Nをドーブしたp型ZnSSe層89、Nをドーブしたp型ZnSe層810と順次エピタキシャル成長する。次に、分子線エピタキシー装置のチャンパー内で基板を冷却する。

【0047】そして引き続き同一チャンパー内にてNをドーブしたp型ZnSe層810上にp型Au電極811を室温において形成する。次にフォトリソグラフ法によってストライプ状のレジストパターンを成長層上に形成し、それをマスクとして用いて成長層をストライプ状にエッチングする。レジストマスク下以外の領域のNをドーブしたp型ZnMgSSeクラッド層88、Nをドーブしたp型ZnSSe層89、Nをドーブしたp型ZnSe層810、p型AuPd電極811をエッチング除去した。その後、絶縁層812を全面蒸着した後リフトオフを行い、エッチングされた領域に電流狭窄層として絶縁層812が埋め込まれた構造を形成する。その後さらにウエハ全面に蒸着法を用いてp型Au電極811を形成する。

【0048】結晶成長後II-VI族半導体を空気中に放置すると急速に酸化が進み、ZnOやSeOが最表面に形成される。特にこのZnOは材料的に非常に安定であるためエッチングなどにより完全に除去することは難しく、金属-I

ためオーム性接触を得ることは困難となる。しかし、本実施の形態によれば、結晶成長後II-VI族半導体を空气中に放置することなしに同一真空チャンパー中でその上に電極金属を形成するため、金属とII-VI族半導体との間に酸化膜が介在することがない。したがって酸化膜による電圧障壁を取り除くことができ良好なコンタクト特性を得ることが可能となる。

【0049】尚、本実施の形態においては同一チャンパー内で引き続き金属の形成を行っているが、空气中に放置することなしに引き続き金属の形成を行えば同様の効果は得られ、例えばII-VI族半導体形成用の成長室とは別の蒸着室を設けて真空中でII-VI族半導体をそのチャンパーに移動して金属を形成してもよい。

【0050】（実施の形態6）次に、図9は作製の工程の一例を示す。本実施の形態ではZnSe系II-VI族半導体の成長方法として、分子線エビタキシー法を用いた。まずGaAs基板91上にClをドーブしたn型ZnSe層92、Clをドーブしたn型ZnSSeクラッド層93、Clをドーブしたn型ZnMgSSeクラッド層94、Clをドーブしたn型ZnSSe光導波層95、ZnCdSe活性層96、Nをドーブしたp型ZnSSe光導波層97、Nをドーブしたp型ZnMgSSeクラッド層98、Nをドーブしたp型ZnSSe層99、Nをドーブしたp型ZnSe層910と順次エビタキシャル成長する。成長温度は270℃とした。

【0051】次に、分子線エビタキシー装置のチャンパー内で基板を成長温度付近に保持しておく。そして引き続き同一チャンパー内にてNをドーブしたp型ZnSe層910上にp型Au電極911を形成する。これにより、熱処理効果からさらにコンタクト抵抗の低減がはかれる。次にフォトリソグラフ法によってストライプ状のレジストパターンを成長層上に形成し、それをマスクとして用いて成長層をストライプ状にエッチングする。レジストマスク下以外の領域のNをドーブしたp型ZnMgSSeクラッド層98、Nをドーブしたp型ZnSSe層99、Nをドーブしたp型ZnSe層910、p型Au電極911をエッチング除去した。その後、絶縁層912を全面蒸着した後リフトオフを行い、エッチングされた領域に電流狭窄層として絶縁層912が埋め込まれた構造を形成する。その後さらにウエハ全面に蒸着法を用いてp型Au電極911を形成する。

【0052】本実施の形態によれば、結晶成長後II-VI族半導体を空气中に放置することなしに同一真空チャンパー中でその上に電極金属を形成するため、金属-II-VI族半導体間に酸化膜が介在することがない。したがって酸化膜による電圧障壁を取り除くことができ良好なコンタクト特性を得ることが可能となる。また成長温度付近の基板温度にて金属を形成するため、熱処理効果が期待できさらにコンタクト抵抗の低減がはかれる。

【0053】尚、本実施の形態においては同一チャンパー内で引き続き金属の形成を行っているが、空气中に放

置することなしに引き続き金属の形成を行えば同様の効果は得られ、例えばII-VI族半導体形成用の成長室とは別の蒸着室を設けて真空中でII-VI族半導体をそのチャンパーに移動して金属を形成してもよい。

【0054】（実施の形態7）次に、図10は作製の工程の一例を示す。本実施の形態ではZnSe系II-VI族半導体の成長方法として、分子線エビタキシー法を用いた。まずGaAs基板101上にClをドーブしたn型ZnSe層102、Clをドーブしたn型ZnSSeクラッド層103、Clをドーブしたn型ZnMgSSeクラッド層104、Clをドーブしたn型ZnSSe光導波層105、ZnCdSe活性層106、Nをドーブしたp型ZnSSe光導波層107、Nをドーブしたp型ZnMgSSeクラッド層108、Nをドーブしたp型ZnSSe層109、Nをドーブしたp型ZnSe層1010と順次エビタキシャル成長する。

【0055】次にフォトリソグラフ法によってストライプ状のレジストパターンを成長層上に形成し、それをマスクとして用いて成長層をストライプ状にエッチングする。レジストマスク下以外の領域のNをドーブしたp型ZnMgSSeクラッド層108、Nをドーブしたp型ZnSSe層109、Nをドーブしたp型ZnSe層1010をエッチング除去した。その後、絶縁層1011から成る電流狭窄層を形成する。そしてウエハ全面に蒸着法を用いてp型AuPd電極1012を形成する。

【0056】次に、p型AuPd電極1012上から窒素のイオン注入を行う。イオン注入条件の一例は、加速電圧90 eV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ 、でLSS理論から計算される飛程は $R_p = 0.14 \mu\text{m}$ である。ZnSe系II-VI族半導体に窒素をイオン注入する場合、ドーズ量は $1 \times 10^{14} \text{ cm}^{-2}$ 以下であり $5 \times 10^{12} \text{ cm}^{-2}$ 以上であることが望ましい。尚、本実施例ではイオン注入後250℃、10分間の熱処理を行なっているが、これはドーズ量によっては省略可能である。

【0057】従来、結晶成長後II-VI族半導体を空气中に放置すると急速に酸化が進み、ZnOやSeOが最表面に形成される。特にこのZnOは材料的に非常に安定であるため金属-II-VI族半導体間に存在すると大きな電圧障壁となりオーム性接触を得ることは困難となる。そこで電極金属を表面酸化膜を貫通してII-VI族半導体表面まで拡散させて金属/II-VI界面反応層を形成するためには高温での熱処理が一般的に有効である。しかし、ZnSe系II-VI族化合物半導体の結晶成長温度は200℃から300℃と極めて低いため電極形成のための熱処理温度をそれ以下に設定しなければならない。金属が表面酸化層を拡散しII-VI族半導体と反応層を形成できるような充分高い温度で熱処理を行うことができない。

【0058】本実施の形態のようにp型AuPd電極1012上から窒素のイオン注入を行うと、まず運動エネルギーを持った窒素イオンがp型AuPd電極1012中のAuまたはPd原子と衝突する。それによりAuまたはPd原子がエネルギーを得て表面酸化膜を貫通してII-VI族半導体内

に弾き出される。これによって擬似的な金属/II-VI界面反応層が形成される。その結果250℃などの低温の熱処理によっても容易に良好なオーミック接触が得られる。

【0059】尚、上記実施の形態1から7ではZnSe系II-VI族半導体レーザを例で説明したが、その他のZnS系II-VI族半導体レーザやGaN系III-V族半導体レーザにおいても本発明が同様に実施可能である。また電極金属としてAuPdの例を示したが、Ni系やPt系など様々な金属についてもその効果は得られる。

【0060】

【発明の効果】以上のように本発明によれば、アモルファス半導体層をコンタクト層に用いることにより、コンタクト抵抗が低減できるという有利な効果が得られる。そのためZnSe系青色半導体レーザにおいて、従来にない低電圧駆動、長寿命などが得られ、工業的価値は極めて高い。

【図面の簡単な説明】

【図1】本発明の一実施の形態による青色半導体レーザの構造断面図

【図2】本発明の一実施の形態による青色半導体レーザの製造工程断面図

【図3】本発明の一実施の形態による青色半導体レーザの構造断面図

【図4】本発明の一実施の形態による青色半導体レーザの製造工程断面図

【図5】本発明の一実施の形態による青色半導体レーザの構造断面図

【図6】本発明の一実施の形態による青色半導体レーザの製造工程断面図

【図7】本発明の一実施の形態による青色半導体レーザの製造工程断面図

【図8】本発明の一実施の形態による青色半導体レーザの製造工程断面図

【図9】本発明の一実施の形態による青色半導体レーザの製造工程断面図

【図10】本発明の一実施の形態による青色半導体レーザの製造工程断面図

【図11】従来の青色半導体レーザの構造断面図

【符号の説明】

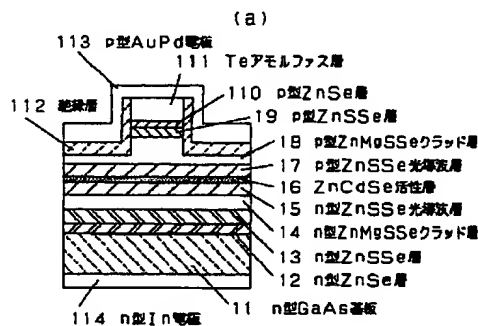
- 1 1 Siをドーブしたn型GaAs基板
- 1 2 Clをドーブしたn型ZnSe層
- 1 3 Clをドーブしたn型ZnSSeクラッド層
- 1 4 Clをドーブしたn型ZnMgSSeクラッド層
- 1 5 Clをドーブしたn型ZnSSe光導波層
- 1 6 ZnCdSe活性層
- 1 7 Nをドーブしたp型ZnSSe光導波層
- 1 8 Nをドーブしたp型ZnMgSSeクラッド層
- 1 9 Nをドーブしたp型ZnSSe層
- 3 1 Siをドーブしたn型GaAs基板
- 3 2 Clをドーブしたn型ZnSe層

- 3 3 Clをドーブしたn型ZnSSeクラッド層
- 3 4 Clをドーブしたn型ZnMgSSeクラッド層
- 3 5 Clをドーブしたn型ZnSSe光導波層
- 3 6 ZnCdSe活性層
- 3 7 Nをドーブしたp型ZnSSe光導波層
- 3 8 Nをドーブしたp型ZnMgSSeクラッド層
- 3 9 Nをドーブしたp型ZnSSe層
- 5 1 Siをドーブしたn型GaAs基板
- 5 2 Clをドーブしたn型ZnSe層
- 5 3 Clをドーブしたn型ZnSSeクラッド層
- 5 4 Clをドーブしたn型ZnMgSSeクラッド層
- 5 5 Clをドーブしたn型ZnSSe光導波層
- 5 6 ZnCdSe活性層
- 5 7 Nをドーブしたp型ZnSSe光導波層
- 5 8 Nをドーブしたp型ZnMgSSeクラッド層
- 5 9 Nをドーブしたp型ZnSSe層
- 7 1 Siをドーブしたn型GaAs基板
- 7 2 Clをドーブしたn型ZnSe層
- 7 3 Clをドーブしたn型ZnSSeクラッド層
- 7 4 Clをドーブしたn型ZnMgSSeクラッド層
- 7 5 Clをドーブしたn型ZnSSe光導波層
- 7 6 ZnCdSe活性層
- 7 7 Nをドーブしたp型ZnSSe光導波層
- 7 8 Nをドーブしたp型ZnMgSSeクラッド層
- 7 9 Nをドーブしたp型ZnSSe層
- 8 1 Siをドーブしたn型GaAs基板
- 8 2 Clをドーブしたn型ZnSe層
- 8 3 Clをドーブしたn型ZnSSeクラッド層
- 8 4 Clをドーブしたn型ZnMgSSeクラッド層
- 8 5 Clをドーブしたn型ZnSSe光導波層
- 8 6 ZnCdSe活性層
- 8 7 Nをドーブしたp型ZnSSe光導波層
- 8 8 Nをドーブしたp型ZnMgSSeクラッド層
- 8 9 Nをドーブしたp型ZnSSe層
- 9 1 Siをドーブしたn型GaAs基板
- 9 2 Clをドーブしたn型ZnSe層
- 9 3 Clをドーブしたn型ZnSSeクラッド層
- 9 4 Clをドーブしたn型ZnMgSSeクラッド層
- 9 5 Clをドーブしたn型ZnSSe光導波層
- 9 6 ZnCdSe活性層
- 9 7 Nをドーブしたp型ZnSSe光導波層
- 9 8 Nをドーブしたp型ZnMgSSeクラッド層
- 9 9 Nをドーブしたp型ZnSSe層
- 10 1 Siをドーブしたn型GaAs基板
- 10 2 Clをドーブしたn型ZnSe層
- 10 3 Clをドーブしたn型ZnSSeクラッド層
- 10 4 Clをドーブしたn型ZnMgSSeクラッド層
- 10 5 Clをドーブしたn型ZnSSe光導波層
- 10 6 ZnCdSe活性層
- 10 7 Nをドーブしたp型ZnSSe光導波層

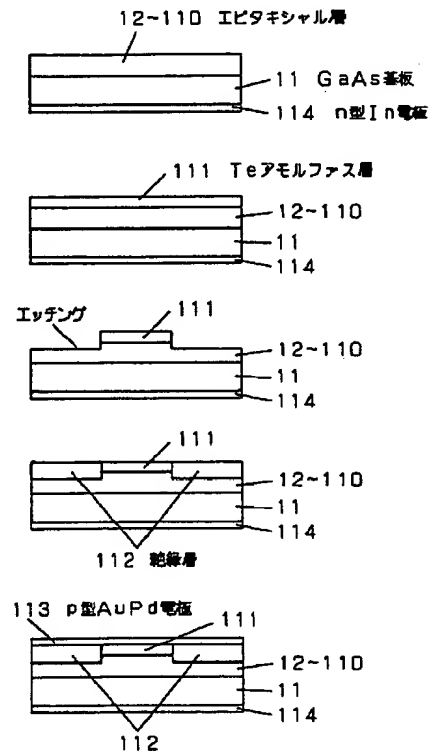
- 108 Nをドープしたp型ZnMgSSeクラッド層
- 109 Nをドープしたp型ZnSe層
- 110 Nをドープしたp型ZnSe層
- 111 Teアモルファス層
- 112 絶縁層
- 113 p型AuPd電極
- 114 n型In電極
- 310 Nをドープしたp型ZnSe層
- 311 水素不純物を添加したアモルファスSiC層
- 312 絶縁層
- 313 p型AuPd電極
- 314 n型In電極
- 510 Nをドープしたp型ZnSe層
- 511 銀不純物を添加したアモルファスAsSe層
- 512 絶縁層
- 513 p型AuPd電極
- 514 n型In電極
- 710 Nをドープしたp型ZnSe層

- 711 同一チャンバー内にて形成したTeアモルファス層
- 712 絶縁層
- 713 p型AuPd電極
- 714 n型In電極
- 810 Nをドープしたp型ZnSe層
- 811 同一チャンバー内にて形成したp型AuPd電極
- 812 絶縁層
- 813 n型In電極
- 910 Nをドープしたp型ZnSe層
- 911 同一チャンバー内にて形成したp型AuPd電極
- 912 絶縁層
- 913 n型In電極
- 1010 Nをドープしたp型ZnSe層
- 1011 絶縁層
- 1012 p型AuPd電極
- 1013 n型In電極

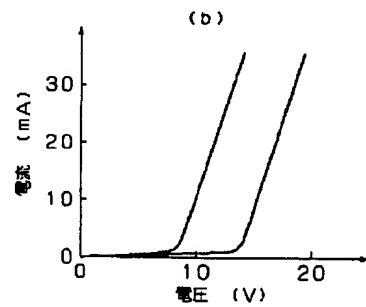
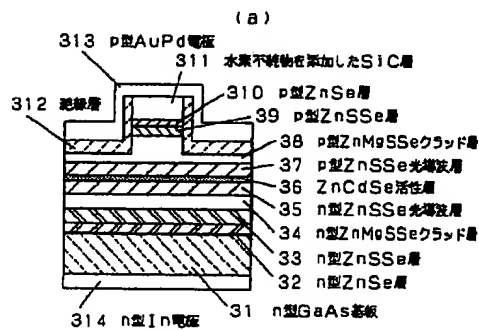
【図1】



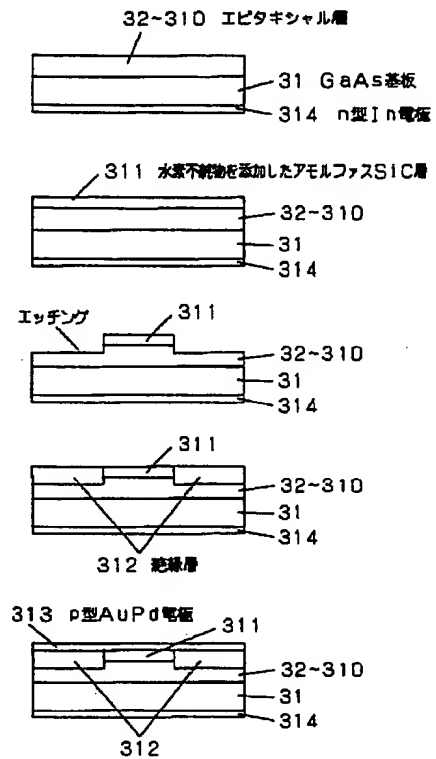
【図2】



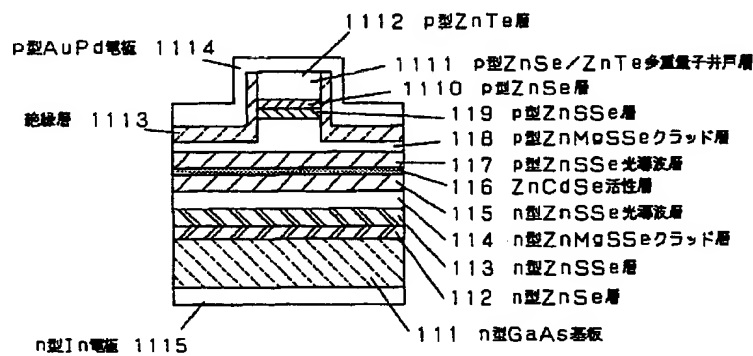
【図3】



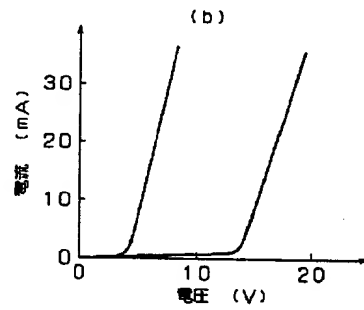
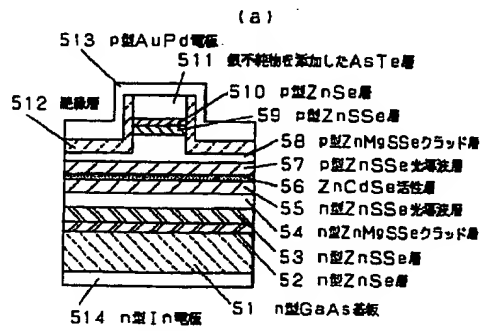
【図4】



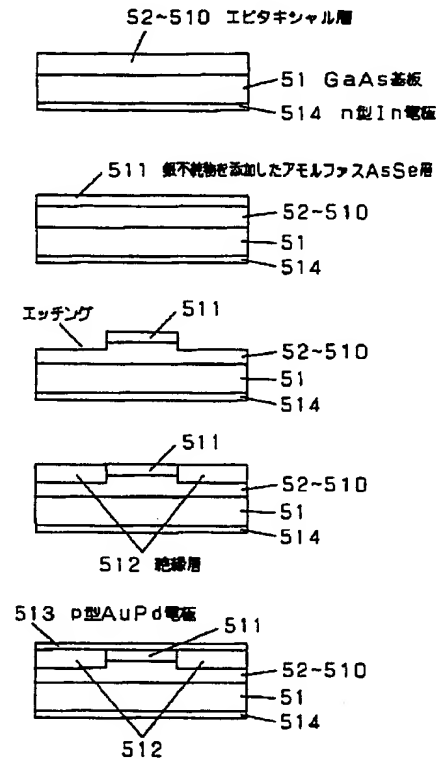
【図11】



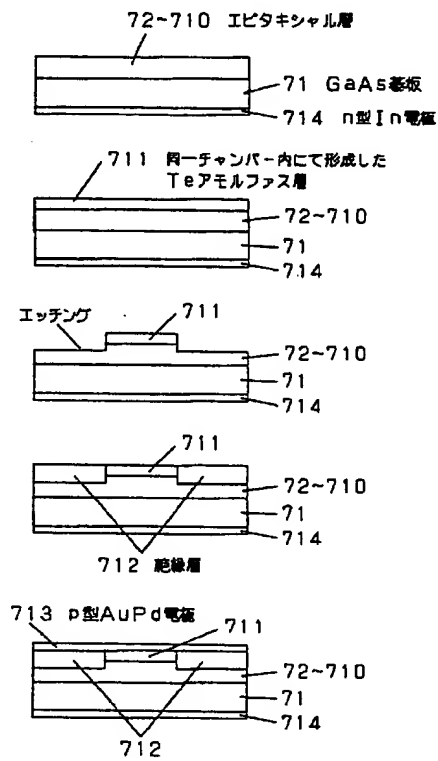
【図5】



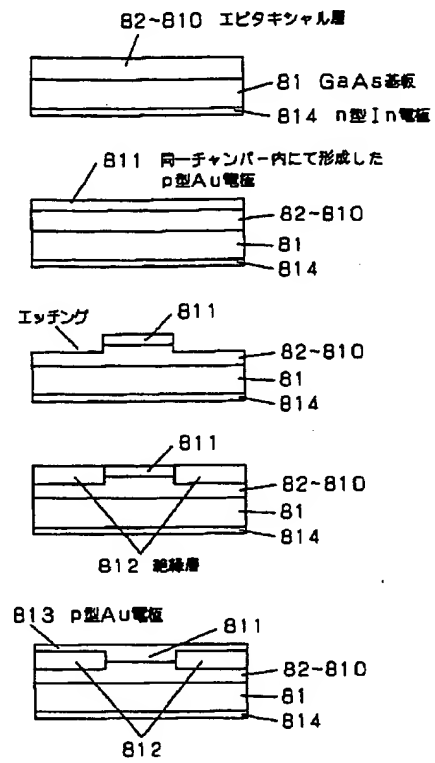
【図6】



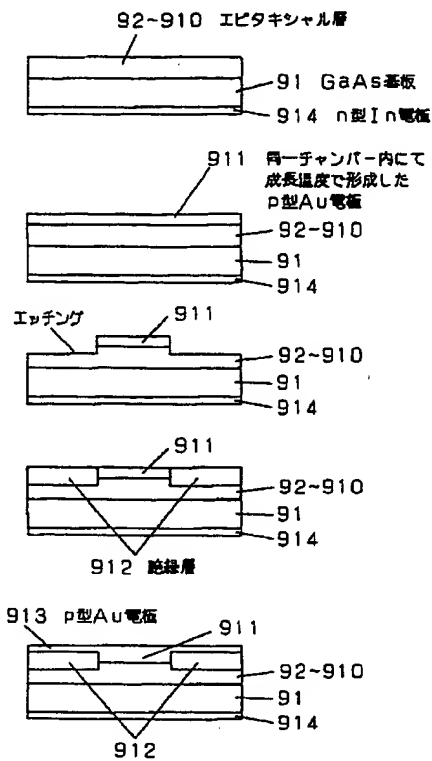
【図7】



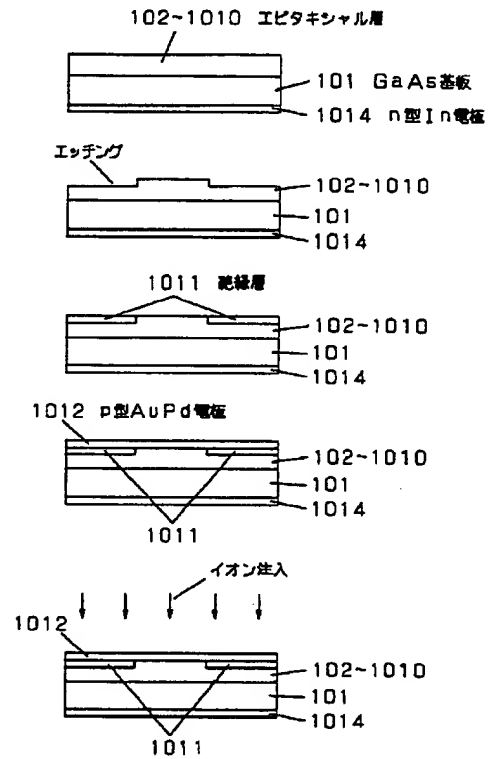
【図8】



【図9】



【図10】



フロントページの続き

(51)Int.Cl.⁶
// H01L 21/205

識別記号 庁内整理番号

F I
H01L 21/205

技術表示箇所